

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114723

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H05K 3/46
H01L 23/36
H01L 25/00
H03F 3/189

(21)Application number : 10-275798

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD
HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing : 29.09.1998

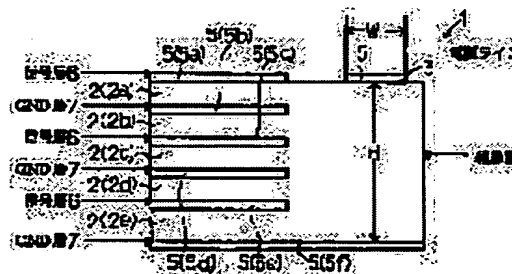
(72)Inventor : AKAMINE HITOSHI
KONDO SHIZUO
MARUYAMA MASASHI
ADACHI TETSUAKI
MORIYAMA SHINJI

(54) HYBRID INTEGRATED CIRCUIT DEVICE AND ELECTRONIC DEVICE INCORPORATING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the transmission loss of a hybrid integrated circuit device by forming part of power lines on the uppermost insulating layer of a wiring board and not forming any conductor layer among insulating layers in the area below the area where the part of power lines is formed.

SOLUTION: A wiring board 1 is constituted by laminating (n) pieces of insulating layers 2 upon another. Therefore, conductor layers 5 can be formed on the upper surface of each insulating layer and the lower surface of the lowermost insulating layer. Signal layers 6 forming signal lines are formed on the upper surfaces of the odd-numbered insulating layers 2 as first-layer wiring 5a, third-layer wiring 5c, and fifth-layer wiring 5e. In addition, power lines are also formed on parts of the signal layers 6. Moreover, no conductor layer 5 is provided among the insulating layers 2 and 2 in the area below the area where part of power lines which is apt to give influences to the transmission loss of a hybrid integrated circuit device, namely, a first reference potential power line 3, in this case, the power line (Vdd line 3) of the final-stage transistor.



LEGAL STATUS

[Date of request for examination]

06.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

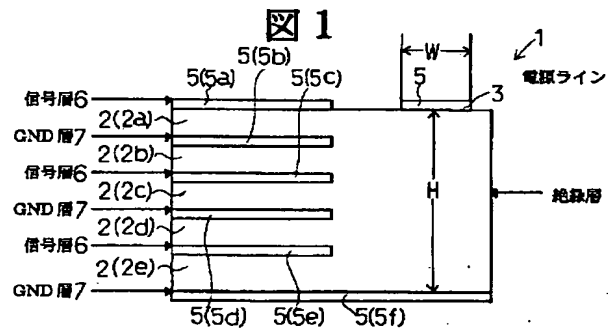
[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



【特許請求の範囲】

【請求項1】 電源ラインや信号ラインを構成する導体層が絶縁層を介して多層に設けられた配線基板と、前記配線基板の一面側に組み込まれる一つ以上の能動部品および受動部品とを有する混成集積回路装置であって、前記電源ラインのうちの一部の電源ラインは前記配線基板の一面側の最上層の絶縁層上に形成され、前記一部の電源ラインが形成された領域の下領域の2乃至複数の絶縁層間には導体層が形成されていないことを特徴とする混成集積回路装置。

【請求項2】 電源ラインや信号ラインを構成する導体層が絶縁層を介して多層に設けられた配線基板と、前記配線基板の一面側に組み込まれる一つ以上の能動部品および受動部品とを有する混成集積回路装置であって、前記電源ラインのうちの一部の電源ラインは前記配線基板の一面側の最上層の絶縁層に設けられた導体層および二層目以下の1乃至複数の絶縁層の上面に設けられた前記導体層ならびに前記絶縁層を貫通して設けられかつ前記絶縁層の上下の導体層を電気的に接続する接続導体で構成されているとともに、前記一部の電源ラインを構成する前記導体層の下2層以上の各絶縁層間には導体層が形成されていないことを特徴とする混成集積回路装置。

【請求項3】 前記配線基板において、配線基板を構成する多層の絶縁層の層数は各領域で同一でかつ各絶縁層それぞれの厚さもそれぞれ同一になっていることを特徴とする請求項1または請求項2記載の混成集積回路装置。

【請求項4】 前記配線基板における絶縁層の層数は一部で他の部分よりも多くなり、前記絶縁層の層数が多い領域に前記一部の電源ラインが設けられていることを特徴とする請求項1または請求項2記載の混成集積回路装置。

【請求項5】 前記配線基板の一面側である最上層の絶縁層はその下の2層目の導体層上に部分的に設けられ、前記最上層の絶縁層上には前記一部の電源ラインが設けられていることを特徴とする請求項4に記載の混成集積回路装置。

【請求項6】 前記一部の電源ラインが設けられた領域に対応する前記配線基板の他面側の最下層の絶縁層の下面には前記一部の電源ラインよりも電位が低くなる電源ラインまたは平面導体層が設けられていることを特徴とする請求項1乃至請求項5のいずれか1項に記載の混成集積回路装置。

【請求項7】 前記配線基板には複数のトランジスタが従属接続されて高周波マイクロ波増幅装置が構成されているとともに前記最終段のトランジスタの電源ラインが前記請求項1乃至請求項6のいずれか1項に記載の構成になっていることを特徴とする混成集積回路装置。

【請求項8】 前記配線基板には複数のトランジスタが従属接続されて高周波マイクロ波増幅装置が構成されて

いるとともに前記最終段のトランジスタおよび他の一部のトランジスタまたは他の全てのトランジスタの電源ラインが前記請求項1乃至請求項6のいずれか1項に記載の構成になっていることを特徴とする混成集積回路装置。

【請求項9】 前記配線基板はその一面側を配線基板に固定される導電性のキャップで被われているとともに、前記配線基板には複数の外部電極端子が設けられていることを特徴とする請求項1乃至請求項8のいずれか1項に記載の混成集積回路装置。

【請求項10】 前記一部の電源ラインの幅は0.2mm程度であり、前記一部の電源ラインを支持する絶縁層の厚さは0.45mm程度以上であることを特徴とする請求項1乃至請求項9のいずれか1項記載の混成集積回路装置。

【請求項11】 実装基板と、前記実装基板に搭載される混成集積回路装置と、前記実装基板の電源ラインに接続される電池を有する電子装置であって、前記混成集積回路装置は前記請求項1乃至請求項10のいずれか1項に記載の構成になっていることを特徴とする電子装置。

【請求項12】 前記電子装置は送信装置を構成していることを特徴とする請求項11に記載の電子装置。

【請求項13】 前記電子装置は移動通信機を構成していることを特徴とする請求項12に記載の電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は導体層が多層構造になる配線基板を用いた混成集積回路装置およびその混成集積回路装置を組み込んだ電子装置に関し、特にセルラー電話機等の移動通信機の送信部に用いる小型の高周波マイクロ波増幅装置（高周波電力増幅装置：高周波パワーモジュール）に適用して有効な技術に関する。

【0002】

【従来の技術】 自動車電話、携帯電話等の移動通信機には高周波マイクロ波増幅装置が使用されている。

【0003】 高周波マイクロ波増幅装置は、多層構造の配線基板の一面側にトランジスタ等の能動部品やチップ抵抗やチップコンデンサ等の受動部品を搭載し、かつ複数のトランジスタを従属接続させて多段構成の増幅器を構成したモジュール構成になっている。また、配線基板の一面側は電磁シールド効果の役割を果たす金属製のキャップで被われている。キャップは配線基板に直接固定または配線基板を支持する支持基板に固定され、配線基板とキャップまたは支持基板とキャップによってパッケージが構成されている。前記パッケージからは電気的に独立した外部電極端子（電極端子）が突出している。

【0004】 高周波パワーモジュール（高周波電力増幅用MOS・パワーモジュール）については、日立評論社発行「日立評論」1993年第4号、同年4月25日発行、P12～P26に記載されている。同文献には、幅2.2mm、

奥行き12mm、高さ3.7mmのE型の高周波パワーモジュールが開示されている。

【0005】

【発明が解決しようとする課題】高周波マイクロ波増幅装置の回路は多層配線基板に形成されている。高周波マイクロ波増幅装置の動作効率を改善するには、伝送損失の低減を図ることが重要である。

【0006】一般に、配線基板は、複数の絶縁層を重ね合わせた構造となり、最上層の絶縁層の上面、最下層の絶縁層の下面および各絶縁層の間に、電源ラインや信号ラインとなる導体層（配線）を設け、かつ絶縁層上下の導体層は絶縁層を貫通するように設けられた接続導体で電気的に接続された構造になっている。

【0007】本発明者等はPDC（Personal Digital Cellular）用の高周波パワーモジュールにおける伝送線路の損失解析を行った。この結果、最終段のトランジスタの第1基準電位（V_{dd}）となる電源ラインによる損失が最も大きいことが判明した。この場合の電源ライン（第1基準電位電源ライン）はマイクロストリップライン構成になっている。

【0008】図17は高周波パワーモジュールの配線基板1の一部を示す模式図である。絶縁層2は5層となり、最下層の絶縁層2とその上の絶縁層2との間に第1基準電位（V_{dd}）となる第1基準電位電源ライン3を設け、前記最下層の絶縁層2の下面と上層の絶縁層2の上面にそれぞれ第2基準電位（たとえば、グランド電位）となる平面導体層（平面導体板）4を形成した構造になっている。最上層の絶縁層2とその下の絶縁層2の間にも平面導体層4が設けられている。

【0009】信号ラインは、図から外れた領域に設けられ、たとえば、最上層の絶縁層2の上面、上から2層目と3層目の絶縁層2の間および上から4層目と5層目（最下層）の絶縁層の間にそれぞれ設けられる。前記第1基準電位電源ライン3、平面導体層4および信号ライン *
(W/H ≤ 1 の場合)

$$Z_0 = \frac{60}{(\epsilon_{\text{eff}})^{1/2}} \ln \left(\frac{8H}{W} + \frac{W}{4H} \right) (\Omega)$$

【0017】

【数4】

(W/H > 1 の場合)

$$Z_0 = \frac{377}{(\epsilon_{\text{eff}})^{1/2}} \left(\frac{W}{H} + 1.4 \right.$$

$$\left. + 0.67 \ln \left(\frac{W}{H} + 1.444 \right) \right)^{-1} (\Omega)$$

*ン等は導体層5で形成される。

【0010】第1基準電位電源ライン3が設けられる絶縁層2の厚さ、換言するならば基板の厚さ（H）は、たとえば0.15mmとなり、第1基準電位電源ライン3の幅（W）は、たとえば0.2mmとなる。

【0011】伝送ラインとしては、前記ストリップライン以外に、図18に示すようにストリップラインが知られている。すなわち、ストリップラインは、絶縁層2、換言するならば絶縁性の基板2の上面に導体層5が設けられた構成になっている。ここで、前記基板2の厚さをHとし、導体層5の幅をWとする。ストリップラインは内層の線路（配線）としてよく使用される。

【0012】ストリップライン（内層ライン）の場合の伝送損失計算式（特性インピーダンスZ₀）は次式数1および数2で与えられる。

【0013】

【数1】

(W/H ≤ 0.5 の場合)

$$Z_0 = \frac{30}{(\epsilon_{\text{eff}})^{1/2}} \ln 2 \frac{1+k^{1/2}}{1-k^{1/2}} (\Omega)$$

【0014】

【数2】

(W/H > 0.5 の場合)

$$Z_0 = \frac{30\pi^2}{(\epsilon_{\text{eff}})^{1/2}} \ln 2 \frac{1+k'^{1/2}}{1-k'^{1/2}} (\Omega)$$

【0015】マイクロストリップライン（表層ライン）の場合の伝送損失計算式（特性インピーダンスZ₀）は次式数3および数4で与えられる。

【0016】

【数3】

【0018】ここで、ε_{eff}は基板の比誘電率、k = sec h (πW/2H)、k' = tanh (πW/2H) である。

【0019】これらの数1乃至数4を検討した結果、表層（マイクロストリップライン構造）、内層（ストリップライン構造）ともに基板を厚くすることで損失は低減される。また、第1基準電位電源ラインは内層ライン構造よりも表層ライン構造が望ましいことも判明した。

【0020】すなわち、電源ラインについて基板を厚くし、表層化することで電源ラインのインピーダンスを上げ、電源ラインでの損失を低減できることが判明した。

【0021】そこで、本発明者は最も伝送損失が大き

なる最終段トランジスタの第1基準電位 (V_{dd}) の電源ライン (第1基準電位電源ライン: V_{dd} ライン) 部分における基板部分 (絶縁層) の厚さを、他の電源ライン部分や信号ライン部分よりも厚くすることによって伝送損失を低下できることに気が付き本発明をなした。

【0022】本発明の目的は伝送損失の小さい混成集積回路装置を提供することにある。

【0023】本発明の他の目的は、伝送損失の小さい高周波マイクロ波増幅装置を提供することにある。

【0024】本発明の他の目的は、伝送損失の小さい高周波マイクロ波増幅装置を組み込んだ移動通信機等の電子装置を提供することにある。

【0025】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0026】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0027】(1) 電源ラインや信号ラインを構成する導体層が絶縁層を介して多層に設けられた配線基板と、前記配線基板の一面側に組み込まれる一つ以上の能動部品および受動部品とを有する混成集積回路装置であって、前記電源ラインのうちの一部の電源ラインは前記配線基板の一面側の最上層の絶縁層上に形成され、前記一部の電源ラインが形成された領域の下領域の2乃至複数の絶縁層間には導体層が形成されていない構成になり、一部の電源ラインを支持する絶縁層の厚さが厚くなっている。前記配線基板には複数のトランジスタが従属接続されて高周波マイクロ波増幅装置が構成されているとともに前記最終段のトランジスタの電源ライン (第1基準電位電源ライン: V_{dd} ライン) が前記一部の電源ラインとなっている。前記配線基板において、配線基板を構成する多層の絶縁層の層数は各領域で同一でかつ各絶縁層それぞれの厚さもそれぞれ同一になっている。前記一部の電源ラインが設けられた領域に対応する前記配線基板の他面側の最下層の絶縁層の下面には前記一部の電源ラインよりも電位が低くなる電源ラインまたは平面導体層が設けられている。前記配線基板はその一面側を配線基板に固定される導電性のキャップで被われているとともに、前記配線基板には複数の外部電極端子が設けられている。前記一部の電源ラインの幅は0.2mm程度であり、前記一部の電源ラインを支持する絶縁層の厚さは0.45mm程度以上である。

【0028】(2) 前記手段(1)の構成において、前記一部の電源ラインは前記配線基板の一面側の最上層の絶縁層に設けられた導体層および二層目以下の1乃至複数の絶縁層の上面に設けられた導体層ならびに前記絶縁層を貫通して設けられかつ前記絶縁層の上下の導体層を電気的に接続する接続導体で構成されていて、前記一部

の電源ラインを構成する前記導体層の下層の2層以上の各絶縁層間には導体層が形成されていない構成になり、一部の電源ラインを支持する絶縁層の厚さが厚くなっている。

【0029】(3) 前記手段(1)または手段(2)の構成において、前記配線基板における絶縁層の層数は一部で他の部分よりも多くなり、前記絶縁層の層数が多い領域に前記一部の電源ラインが設けられている。たとえば、前記配線基板の一面側である最上層の絶縁層はその下の2層目の導体層上に部分的に設けられ、前記最上層の絶縁層上には前記一部の電源ラインが設けられている。

【0030】(4) 前記手段(1)乃至手段(3)のいずれかの構成において、前記配線基板には複数のトランジスタが従属接続されて高周波マイクロ波増幅装置が構成されているとともに前記最終段のトランジスタおよび他の一部のトランジスタまたは他の全てのトランジスタの電源ライン (第1基準電位電源ライン: V_{dd} ライン) が前記一部の電源ラインとなっている。

【0031】(5) 実装基板と、前記実装基板に搭載される混成集積回路装置と、前記実装基板の電源ラインに接続される電池を有する電子装置であって、前記混成集積回路装置は前記手段(1)乃至手段(4)のいずれかの構成になっている。前記電子装置は送信装置を構成し、たとえば移動通信機を構成している。

【0032】前記手段(1)によれば、(a) 高周波マイクロ波増幅装置において最終段のトランジスタの電源ライン (第1基準電位電源ライン: V_{dd} ライン) は、配線基板の一面側の最上層の絶縁層上に形成されるとともに、その下の複数層の絶縁層間には導体層が設けられない構造になるため、マイクロストリップライン構成の V_{dd} ラインにおいては、 V_{dd} ラインを支持する基板は複数の絶縁層で形成されるため、基板の厚さ(H)は厚くなり特性インピーダンス Z_0 は大きくなる。この結果、伝送損失の低減が図れるため高周波パワーモジュールの動作効率を向上させることができ、かつ低消費電力化が図れる。

【0033】前記手段(2)においても前記手段(1)の場合と同様に一部の電源ラインを構成する導体層の下層の絶縁層は複数層の絶縁層で構成されていることから、マイクロストリップラインの基板の厚さが厚くなり、特性インピーダンスが大きくなり、伝送損失の低減が図れる。

【0034】前記手段(3)においても前記手段(1)の場合と同様に一部の電源ラインを構成する導体層の下層の絶縁層は複数層の絶縁層で構成されていることから、マイクロストリップラインの基板の厚さが厚くなり、特性インピーダンスが大きくなり、伝送損失の低減が図れる。

【0035】前記手段(4)においては、高周波マイク

ロ波増幅装置を構成する最終段のトランジスタは勿論として従属接続される他の一部のトランジスタまたは他の全てのトランジスタの電源ライン（第1基準電位電源ライン：V_{dd}ライン）は、前記手段（1）乃至手段（3）のいずれかの構成になっていることから、V_{dd}ラインを構成するマイクロストリップラインの基板の厚さは厚くなり、特性インピーダンスが大きくなり、伝送損失の低減が図れる。

【0036】前記手段（5）によれば、伝送損失の小さく動作効率の高い高周波マイクロ波増幅装置が組み込まれていることから、消費電力が小さい移動通信機を提供することができる。すなわち、移動通信機の電池の長寿命化が達成できる。

【0037】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0038】（実施形態1）図1は本発明の一実施形態（実施形態1）である混成集積回路装置、すなわち高周波マイクロ波増幅装置（高周波パワーモジュール）の一部を示す模式的断面図である。

【0039】高周波マイクロ波増幅装置は、多層構造の配線基板の一面側にトランジスタ等の能動部品やチップ抵抗やチップコンデンサ等の受動部品を搭載するとともに、複数のトランジスタを従属接続させて多段構成の増幅器を構成したモジュール構成になっている。また、配線基板の一面側は電磁シールド効果の役割を果たす金属製のキャップで被われている。キャップは配線基板に直接固定され、配線基板とキャップによってパッケージが構成されている。前記パッケージからは電気的に独立した外部電極端子（電極端子）が突出している。すなわち、この例では配線基板の下面周縁に表面実装用の外部電極端子が設けられている。なお、配線基板を支持基板で支持する構造とし、支持基板にキャップを固定する構造としてもよい。

【0040】図1は配線基板1の一部を模式的に示した図であり能動部品や受動部品等は省略してある。配線基板1はn層の絶縁層2（最上層絶縁層（第1層絶縁層）2a～最下層絶縁層（第n層絶縁層）2n）を重ね合わせた構造からなり、印刷法や積層法によって形成されている。したがって、導体層5は、各絶縁層の上面と最下層絶縁層の下面に形成可能である。図では絶縁層2は5層となっている。

【0041】本実施形態1では、信号ラインを形成する信号層6は、奇数番目の絶縁層2、すなわち、第1層絶縁層2a、第3層絶縁層2c、第5層絶縁層2e（最下層絶縁層）の上面にそれぞれ第1層配線5a、第3層配線5c、第5層配線5eとして形成されている。なお、一部においては電源ラインも形成される。

【0042】また、奇数番目の絶縁層2、すなわち、第1層絶縁層2a、第3層絶縁層2c、第5層絶縁層2e（最下層絶縁層）の下面には、第1基準電位よりも電位が低い第2基準電位（たとえばグランド：GND）となるGND層7（第2層配線5b、第4層配線5d、第6層配線（最下層配線）5f）が形成されている。

【0043】信号層6の下にはGND層7が配置されていることから、シールド効果が得られる。また、シールド効果を向上させるため、前記GND層7は平面導体層であることが望ましい。

【0044】本実施形態1では、電源ラインでも特に伝送損失に影響を与えやすい一部の電源ライン、すなわち第1基準電位電源ライン3、本実施形態1では最終段トランジスタの電源ライン（V_{dd}ライン3）の下の領域においては、絶縁層2と絶縁層2との間に導体層5を設けない構造になっている。

【0045】本実施形態1では、第1基準電位電源ライン3を支持する導体層5は5層の絶縁層2で構成され、かつ最下層絶縁層2eの下面にはGND層7が形成されていることから、第1基準電位電源ライン3は絶縁層（基板）が厚いマイクロストリップラインとなっている。

【0046】たとえば、第1基準電位電源ライン3の幅Wを0.2mmとし、各絶縁層2の厚さを0.15mmとすると、マイクロストリップライン構成の第1基準電位電源ライン3では、基板（絶縁層）の厚さ（H）は5×0.15mm=0.6mmと、他の部分（領域）に比較して厚くなる。

【0047】このように、伝送損失に悪い影響を与える第1基準電位となる電源ライン（マイクロストリップライン）の基板の厚さ（H）を大きくすることによって、前記数3の式からも分かるように特性インピーダンスZ₀を大きくすることができる。これにより、伝送損失の低減を達成することができる。

【0048】つぎに、より具体的な例について説明する。

【0049】（実施例1）図2乃至図11は本発明の一実施例（実施例1）である高周波マイクロ波増幅装置（高周波パワーモジュール）に係わる図であり、図2は高周波マイクロ波増幅装置の模式的断面図、図3は高周波マイクロ波増幅装置の外観を示す斜視図である。

【0050】本実施例1の高周波マイクロ波増幅装置（高周波パワーモジュール）15は、図2および図3に示すように、板状の配線基板1の一面側（主面側）にキャップ16が重ねられ、外観的には扁平な矩形体構造になっている。

【0051】本実施例1の高周波パワーモジュール15は、能動部品として、電界効果トランジスタを構成する半導体チップを回路的に多段に接続して、移動通信機（携帯電話）の高周波パワーモジュールを構成してい

る。この例では、2個のトランジスタを従属接続した2段構成の増幅器になっている。

【0052】キャップ16は金属板を矩形箱状に絞り成形して、下面周縁に沿って突出した周壁17を有する構造となっている。前記周壁17には切り込みが入れられて弾力的に配線基板1の側面に作用するフックアーム18が複数設けられている。このフックアーム18の先端内側には、これも成形によって形成された突出するフック爪19が設けられている。このフック爪19は配線基板1の周面に設けられた図示しない窪んだ引っ掛かり部に弾力的に引っ掛かるようになっている。この引っ掛かり部にフック爪19を引っ掛けることによって配線基板1にキャップ16が固定され、図3に示すような偏平な高周波パワーモジュール15となる。

【0053】また、前記フックアーム18は高周波パワーモジュール15の裏面の外部電極端子を実装基板のランドに導電性の接合材(半田)の溶融によって固定する際、グランド用ランド部分に付着する接合材(半田)に濡れて接続されるように配置構成されている。また、この際、配線基板1の係止部、すなわち引っ掛かり部にはグランド配線(GND層)が設けられており、このグランド配線部分も半田に濡れるようになっている。したがって、キャップ16は電磁シールド効果を奏することになる。

【0054】本実施例1では、配線基板1は図2に示すように、3層の絶縁層2(第1層絶縁層2a、第2層絶縁層2b、第3層絶縁層2c)で形成され、導体層5は信号層6として第1層配線5a、第3層配線5c、GND層7として第2層配線5b、第4層配線(最下層配線)5dが設けられている。

【0055】また、図2に示すように、絶縁層2の上下の導体層5は絶縁層2を貫通する接続導体10やサーマルビア10aで電気的に接続されている。配線基板1の一面側にはチップコンデンサやチップ抵抗等を構成するチップ部品11やトランジスタ12が固定されている。すなわち、チップ部品11の電極部分は図示しない半田等の導電性接合体を介して信号層6に接続され、トランジスタ12は第2層配線5bに半田等を介して接続されている。また、トランジスタ12の図示しない電極と信号層6である1層配線5aは導電性のワイヤ13で接続されている。トランジスタ12、ワイヤ13等は絶縁性樹脂からなるオーバコート層14で覆われて保護され、耐湿性向上が図られている。また、絶縁膜トランジスタ12が固定される導体層5部分には最下層配線である第6層配線5fにサーマルビア10aによって接続されている。このサーマルビア10aはトランジスタ12で発熱する熱を最下層配線になる第4層配線5dに伝達する役割を果たす。これによりトランジスタ12の放熱が行われる。

【0056】本実施例1においても、図2に示すように

一部の電源ライン3、すなわち最終段トランジスタの電源ライン(V_{dd}ライン)3は、配線基板1の最上層絶縁膜上に形成され、かつその下の絶縁層2間には導体層が設けられていない構造となっている(図2の配線基板1の右端部分参照)。これによって伝送損失の低減が図られている。

【0057】つぎに、配線基板1および配線基板1に搭載される電子部品等について説明する。図4は配線基板1上の各部品の搭載状態を示す平面図であり、図5乃至図8は配線基板の各配線層、すなわち信号層6を構成する第1層配線5a、第3層配線5c、第5層配線5eおよびGND層7である第2層配線5b、第4層配線5d、第6層配線(最下層配線)5fの各パターンを示す図である。

【0058】本実施例1の高周波マイクロ波増幅装置は、図4の配線基板1の平面図および図9の等価回路図で示すように、トランジスタ(たとえば電界効果トランジスタ)T1、T2を従属接続して2段構成の増幅器とした構造になっている。

【0059】図4に示すように、配線基板1には部分的に前記配線基板1の周縁から下面に亘って外部電極端子20が設けられている。外部電極端子20は入力端子(Pin)21、出力端子(POut)22、電源端子(V_{dd})23、ゲートバイアス端子(V_{apc})24、グランド端子(GND)25となる。これにより、高周波パワーモジュール15の表面実装が可能になる。

【0060】図9の等価回路を満足するように、図4に示すように、各部品が搭載されている。これらの図において、T1、T2はトランジスタ、C1~C10はチップコンデンサ、CBはバイパスコンデンサ、R1~Rはチップ抵抗である。また、図9において示す細長い長方形部分はマイクロストリップラインを示す。

【0061】配線基板1は、たとえば、ガラスセラミックスを積層させた低温焼成の配線基板からなり、配線は高導電性金属、例えば銀系金属を使用している。すなわち、外層配線はAg-Ptを使用し、内装配線はAgを使用している。低温焼成は600℃程度となり、融点の低いAgの使用が可能となる。Agは抵抗値が低い高導電性金属となるため、高周波特性の向上が達成できる。

【0062】図5乃至図8は配線基板1を構成する各絶縁層2(第1層絶縁層2a~第3層絶縁層2c)と、その表面に形成された導体層5(信号層6を構成する第1層配線5a、第3層配線5cと、GND層7を構成する第2層配線5b、第4層配線(最下層配線)5d)を示す図である。なお、図8は第4層配線(最下層配線)5dを透視して描いた図である。

【0063】図5に示すパターンは第1層配線5aであり、白丸で示す部分が接続導体10部分である。電源端子(V_{dd})23から連なり、ゲートバイアス端子(V_{apc})24側に向かって延在する線は最終段トランジスタ

T2のV_{dd}ライン3を構成し、このV_{dd}ライン3の真下となる領域の絶縁層2間には導体層5は設けられない。すなわち、図6に示す第2層配線5bおよび図7に示す第3層配線5cでは、前記V_{dd}ライン3の真下となる領域に導体層5は設けられていない。また、最下層の導体パターンとなる図8の第4層配線5dでは、前記前記V_{dd}ライン3の真下となる領域にはGND層7が設けられている。

【0064】したがって、前記V_{dd}ライン3はマイクロストリップラインとなるが、マイクロストリップラインとしての基板(絶縁層)の厚さは三枚の導体層の厚さの和となり、他の部分よりも厚くなっている。

【0065】また、図7に示す初段トランジスタT1のV_{dd}ライン3ではこのような基板を厚くする構成は本実施例1では採用されていない。なお、初段トランジスタのV_{dd}ラインの伝送損失の低減を図るように前記構成を採用してもよい。また、トランジスタが3個以上多段に構成される場合でも最終段トランジスタとともに、他のトランジスタの一部または全部の第1基準電位電源ライン(V_{dd}ライン)を伝送損失低減のために前記構成としてもよい。

【0066】また、トランジスタ(T1、T2)を第2層絶縁層2b上の第2層配線5b上に固定することから、図5に示すように、トランジスタが搭載される領域の絶縁層2aにはトランジスタ(T1、T2)よりも僅かに大きい形状部分がくり抜かれている。

【0067】図6乃至図8で示す小さな丸部分は接続導体10やサーマルビア10aを示す。

【0068】たとえば、積層法では、前記各絶縁層2を重ね合わせて焼成することによって配線基板1が製造される。したがって、図4に示すように、各種の電子部品を搭載するとともに、ワイヤボンディングを行うことによって図9に示す等価回路構成の高周波パワーモジュール15が製造される。

【0069】本実施例1では、電界効果トランジスタを2段に組み込んで、800~1000MHz、さらには1.4~1.7GHzの携帯電話用の高周波パワーモジュールとすることができる。

【0070】本実施例1の高周波パワーモジュール15によれば、伝送損失(高周波損失:RF損失)が低減される。

【0071】図10はV_{dd}ラインロス計算結果を示すグラフであり、改善前の導体損失(dB)と本実施例1による改善後の導体損失を示すものである。絶縁層2の厚さを0.15mmとし、V_{dd}ライン3の幅(W)を0.2mmとした場合、基板(絶縁層)の厚さ(H)は0.45mmとなる。したがって、特性インピーダンスZ₀は改善前の80Ωから本実施例1の改善後による30Ωとなる。この結果、V_{dd}ライン3の長さはスタブ形状の線路の長さとなり、この長さをλ/8~λ/4とした場

合、導体損失(dB)は改善前の0.8~0.5dBから改善後の0.3~0.2dBと低減される。

【0072】図11は伝送ラインロス計算結果を示すグラフであり、横軸を特性インピーダンスZ₀(Ω)とし、縦軸を導体損失(dB/cm)としたグラフである。改善前ではV_{dd}ライン3は内層ラインとなり、基板(絶縁層)の厚さは0.15mmである。改善後の本実施例1の場合は表層ラインとなり、基板(絶縁層)の厚さは0.45mmである。導体損失は改善前の0.22dB/cmから改善後(本実施例1)の0.14dB/cmと低減された。

【0073】図12は本実施例1の高周波マイクロ波増幅装置15を組み込んだ移動通信機(携帯電話)の一部を示す模式図、図13は同じく携帯電話のブロック図である。携帯電話は、図12に示すように、信号処理部40、受信部41、送受信切り替42、送信部43、電池44、アンテナ45を有している。前記送信部43には高周波パワーモジュール(高周波増幅器)15が内蔵されている。

【0074】信号処理部40は、図13に示すように、スピーカ50およびマイクロホン51が接続される音声処理52と、前記音声処理52を制御するCPU53とを有する。

【0075】また、送信系では、送信部43の高周波パワーモジュール15に接続されかつ周波数シンセサイザ54によって制御されるミキサー55と、前記ミキサー55と音声処理52との間に組み込まれる変調機56とを有する構成になっている。また、受信系では、受信部41に接続されかつ前記周波数シンセサイザ54によって制御されるミキサー57と、前記音声処理52とミキサー57間に順次組み込まれる復調器58およびIF59とを有する構成になっている。

【0076】このような携帯電話では、高周波パワーモジュール15の伝送損失の低減により、動作効率が向上し、低消費電力化が達成できる。この結果、電池寿命が長くなる。また単位電池当たりの通話時間も長くなる。

【0077】本実施例1によれば以下の効果を奏する。

【0078】(1)高周波マイクロ波増幅装置15において最終段のトランジスタの電源ライン(第1基準電位電源ライン:V_{dd}ライン3)は、配線基板1の一面側の最上層の絶縁層2上に形成されるとともに、その下の複数層の絶縁層2間には導体層5が設けられない構造になるため、マイクロストリップライン構成のV_{dd}ラインにおいては、V_{dd}ラインを支持する基板(絶縁層)は複数の絶縁層2で形成されるため、基板の厚さ(H)は厚くなり特性インピーダンスZ₀は大きくなる。この結果、伝送損失の低減が図れるため高周波パワーモジュールの動作効率を向上させることができ、かつ低消費電力化が図れる。

【0079】(2)本実施例1の高周波パワーモジュール

ル 15 を組み込んだ携帯電話においては、伝送損失の小さく動作効率の高い高周波マイクロ波増幅装置 15 が組み込まれることから、消費電力が小さいものとなる。したがって、携帯電話の電池の長寿命化が達成できるとともに単位電池当たりの通話時間も長くなる。

【0080】(実施形態 2) 図 14 は本発明の他の実施形態(実施形態 2)である高周波マイクロ波増幅装置の一部を示す模式的断面図である。

【0081】本実施形態 2 は図 1 で示す実施形態 1 の配線基板 1 において、前記一部の電源ライン(V_{dd}ライン 3)は前記配線基板 1 の一面側の最上層の絶縁層 2 に設けられた導体層(第 1 層配線 5a)および二層目以下の 1 乃至複数の絶縁層 2 の上面に設けられた導体層 5 ならびに前記絶縁層 2 を貫通して設けられかつ前記絶縁層 2 の上下の導体層 5 を電気的に接続する接続導体 10 で構成されている。この実施形態では、第 1 層配線 5a と第 2 層配線 5b が V_{dd}ライン 3 として使用されている。

【0082】また、前記一部の電源ライン(V_{dd}ライン 3)を構成する導体層 5 の下の 2 層以上の各絶縁層 2 間には導体層 5 が形成されていない構成になり、一部の電源ライン(V_{dd}ライン 3)を支持する絶縁層の厚さが厚くなっている。なお、本実施形態では、最下層の絶縁層 2 の下面にのみ V_{dd}ライン 3 に対応する領域では GND 層 7 が設けられているが、配線基板 1 の下から数層目の絶縁層 2 の下面に GND 層 7 を形成してもよい。この場合でも、V_{dd}ライン 3 の下の複数層の絶縁層 2 間には信号層 6 や GND 層 7 を設けず、マイクロストリップラインの基板(絶縁層)の厚さを厚くし、伝送損失の低減を図るようにする。

【0083】また、V_{dd}ライン 3 はさらに複数層の導体層 5 で形成してもよい。

【0084】本実施形態 2 においても、前記実施形態 1 の場合と同様に一部の電源ライン(V_{dd}ライン 3)を構成する導体層の下の絶縁層は複数層の絶縁層で構成されていることから、マイクロストリップラインの基板の厚さが厚くなり、特性インピーダンスが大きくなり、伝送損失の低減が図れる。

【0085】(実施形態 3) 図 15 は本発明の他の実施形態(実施形態 3)である高周波マイクロ波増幅装置の一部を示す模式的断面図である。

【0086】本実施形態 3 では、内層ラインを V_{dd}ライン 3 として使用し、かつ数カ所の内層ラインを V_{dd}ライン 3 として使用した例である。この実施形態は V_{dd}ライン 3 の長さ L を長くできる構造であり、L を長くする場合有効である。

【0087】(実施形態 4) 図 16 は本発明の他の実施形態(実施形態 4)である高周波マイクロ波増幅装置の一部を示す模式的断面図である。

【0088】本実施形態 4 は、V_{dd}ライン 3 としてのマイクロストリップラインとしては前記各実施形態と同様

の構成を有するものである。前記各実施形態では、配線基板 1 の厚さは全体に亘って一定であり、絶縁層 2 や導体層 5 の層数は各領域で同一である。これに対して本実施形態 4 では、配線基板 1 における絶縁層 2 の層数は一部で他の部分(領域)よりも多くなり、前記絶縁層 2 の層数が多い領域に前記一部の電源ライン(V_{dd}ライン 3)が設けられる例である。

【0089】その一例が図 16 で示す例である。本実施形態 4 では、たとえば、前記配線基板 1 の一面側である最上層の絶縁層 2 (第 1 層絶縁層 2a)はその下の 2 層目の導体層 2 (第 2 層絶縁層 2b)上に部分的に設けられ、前記最上層の絶縁層 2 (第 1 層絶縁層 2a)上には前記一部の電源ライン(V_{dd}ライン 3)が設けられている。

【0090】チップ部品 11 は、一般に配線基板 1 の一面側、すなわち、最上層の絶縁層上に固定される。チップ部品 11 には所定の高さがあることから、配線基板 1 の一面側を被うキャップは配線基板 1 の一面との間に空間を有するようになる。チップ部品 11 の高さによってもこの空間高さは異なるが、一般には 0.5 mm 程度の高さの空間である。

【0091】したがって、本実施形態 4 の場合のように、従来の最上層となるチップ部品 11 を搭載する絶縁層 2 上に部分的に厚さ 0.15 mm 程度の絶縁層 2 を設け、かつこの絶縁層 2 上に V_{dd}ライン 3 を形成しても何ら支障は発生しない。

【0092】本実施形態 4 はこのような思想によるものであり、一定の厚さの配線基板 1 であっても、その封止高さを変えることなくマイクロストリップラインの基板(絶縁層)の厚さを高くすることができる。

【0093】単に配線基板 1 の一部の厚さを増大させるだけの場合は、配線基板 1 の下面側に絶縁層 2 をさらに部分的に重ね合わせる構造でもよい。

【0094】本実施形態 4 においても前記各実施形態の場合と同様に一部の電源ライン(V_{dd}ライン 3)を構成する導体層の下の絶縁層は複数層の絶縁層で構成されていることから、マイクロストリップラインの基板の厚さが厚くなり、特性インピーダンスが大きくなり、伝送損失の低減が図れる。

【0095】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、前記各実施形態の場合では、最終段のトランジスタの V_{dd}ラインの伝送損失を低減するために V_{dd}ライン下の絶縁層の厚さを厚くしているが、多段に従属接続される最終段トランジスタは勿論として他のトランジスタの一部または全てのトランジスタの電源ライン(第 1 基準電位電源ライン: V_{dd}ライン)も、伝送損失を低減させるべく V_{dd}ラインの下の絶縁層の厚さを厚くする前記実

施形態の構造としてもよい。

【0096】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である高周波マイクロ波増幅装置および携帯電話に適用した例について説明したが、それに限定されるものではない。本発明は少なくとも混成集積回路装置には適用できるものであり、また電池を内蔵するとともに前記混成集積回路装置が組み込まれる電子装置には適用できる。

【0097】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0098】(1)最終段のトランジスタの電源ライン(第1基準電位電源ライン:V_{dd}ライン)は、配線基板の一面側の最上層の絶縁層上に形成されるとともに、その下の複数層の絶縁層間には導体層が設けられない構造になるため、マイクロストリップライン構成のV_{dd}ラインにおいては、V_{dd}ラインを支持する基板(絶縁層)は複数の絶縁層で形成されるため、基板の厚さ(H)は厚くなり特性インピーダンスZ₀は大きくなる。この結果、伝送損失の低減が図れるため高周波パワーモジュールの動作効率を向上させることができ、かつ低消費電力化が図れる。

【0099】(2)前記高周波パワーモジュールを組み込んだ携帯電話においては、伝送損失の小さく動作効率の高い高周波マイクロ波増幅装置が組み込まれることから、消費電力が小さいものとなる。したがって、携帯電話の電池の長寿命化が達成できるとともに単位電池当たりの通話時間も長くなる。

【図面の簡単な説明】

【図1】本発明の一実施形態(実施形態1)である高周波マイクロ波増幅装置の一部を示す模式的断面図である。

【図2】本発明の一実施例(実施例1)である高周波マイクロ波増幅装置の模式的断面図である。

【図3】本実施例1の高周波マイクロ波増幅装置の外観を示す斜視図である。

【図4】本実施例1の高周波マイクロ波増幅装置における配線基板上の各部品の搭載状態を示す平面図である。

【図5】前記配線基板の表層導体層(第1層配線)のパターンを示す平面図である。

【図6】前記配線基板の内層導体層(第2層配線)のパターンを示す平面図である。

【図7】前記配線基板の内層導体層(第3層配線)のパ

ターンを示す平面図である。

【図8】前記配線基板の裏面導体層(第4層配線)のパターンを示す透視図である。

【図9】本実施例1の高周波マイクロ波増幅装置の等価回路図である。

【図10】本実施例1の高周波マイクロ波増幅装置におけるV_{dd}ラインロス計算結果を示すグラフである。

【図11】本実施例1の高周波マイクロ波増幅装置における伝送ラインロス計算結果を示すグラフである。

【図12】本実施例1の高周波マイクロ波増幅装置を組み込んだ携帯電話の一部を示す模式図である。

【図13】本実施例1の高周波マイクロ波増幅装置を組み込んだ携帯電話のブロック図である。

【図14】本発明の他の実施形態(実施形態2)である高周波マイクロ波増幅装置の一部を示す模式的断面図である。

【図15】本発明の他の実施形態(実施形態3)である高周波マイクロ波増幅装置の一部を示す模式的断面図である。

【図16】本発明の他の実施形態(実施形態4)である高周波マイクロ波増幅装置の一部を示す模式的断面図である。

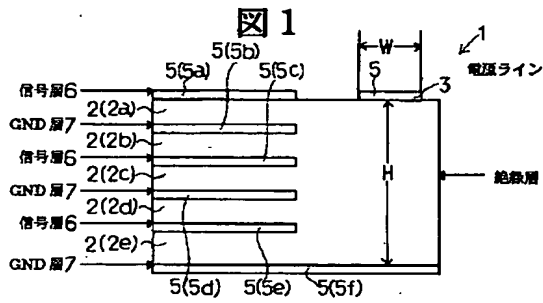
【図17】本出願人の開発による高周波マイクロ波増幅装置の配線基板の一部を示す模式的断面図である。

【図18】マイクロストリップラインの一部を示す模式的断面図である。

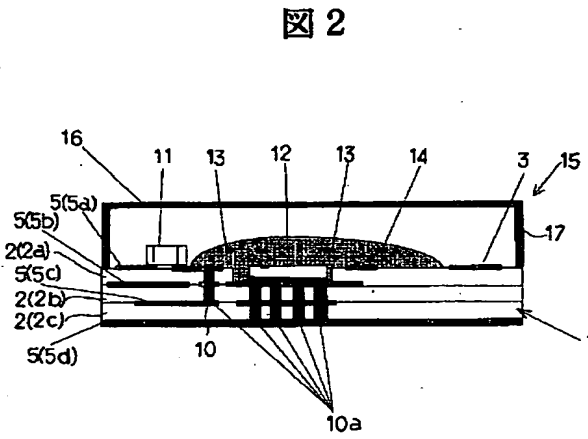
【符号の説明】

1…配線基板、2…絶縁層(基板)、3…第1基準電位電源ライン(V_{dd}ライン)、4…平面導体層、5…導体層、6…信号層、7…GND層、9…最下層配線、10…接続導体、10a…サーマルビア、11…チップ部品、12…トランジスタ、13…ワイヤ、14…オーバコート層、15…高周波マイクロ波増幅装置(高周波パワーモジュール)、16…キャップ、17…周壁、18…フックアーム、19…フック爪、20…外部電極端子、21…入力端子(P_{in})、22…出力端子(P_{out})、23…電源端子(V_{dd})、24…ゲートバイアス端子(V_{apc})、25…グランド端子(GND)、40…信号処理部、41…受信部、42…送受信切り替、43…送信部、44…電池、45…アンテナ、50…スピーカ、51…マイクロホン、52…音声処理、53…CPU、54…周波数シンセサイザー、55…ミキサー、56…変調機、57…ミキサー、58…復調器、59…IF。

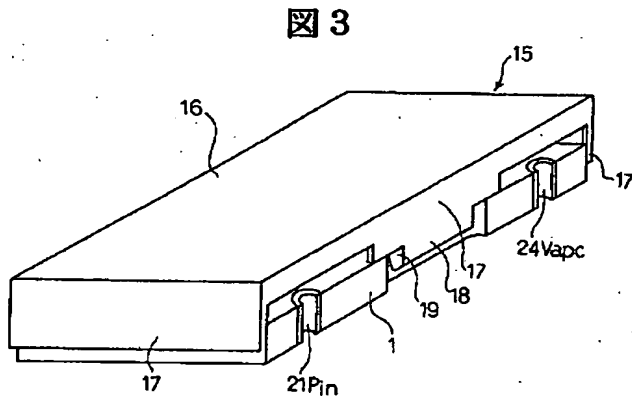
【図1】



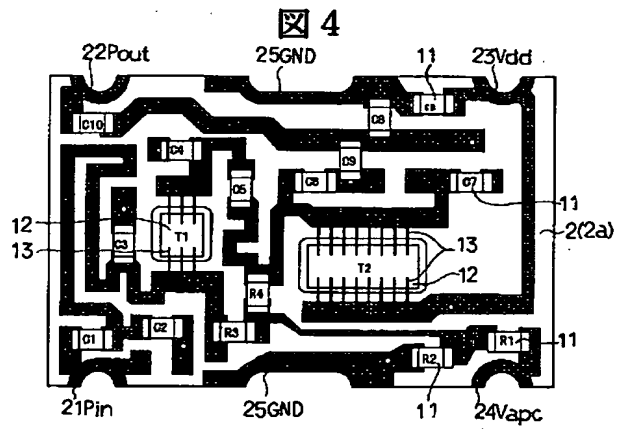
【図2】



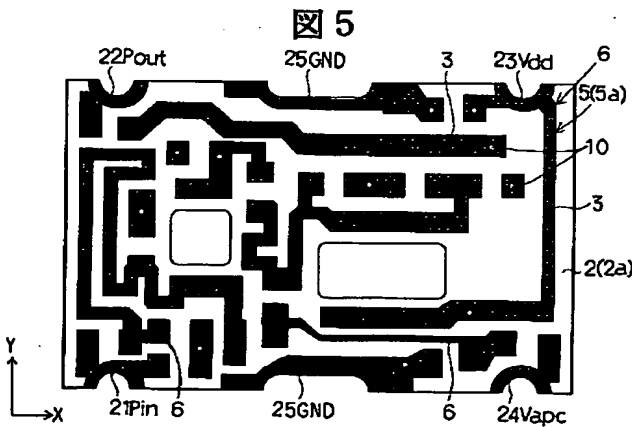
【図3】



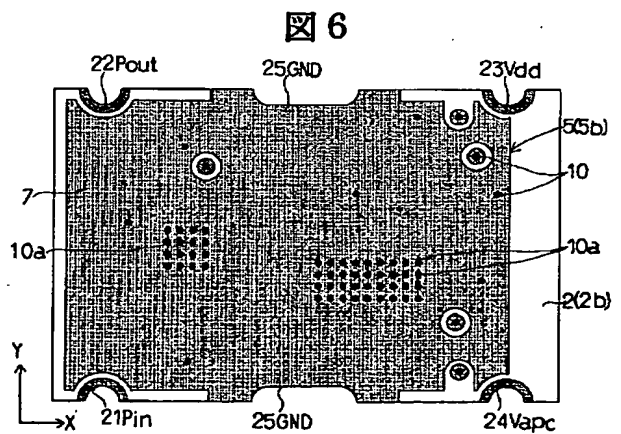
【図4】



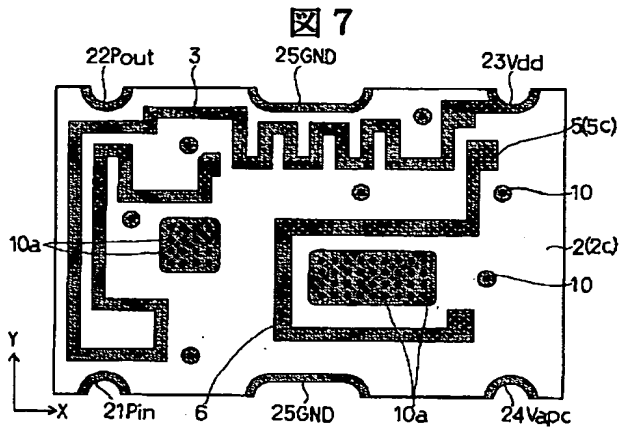
【図5】



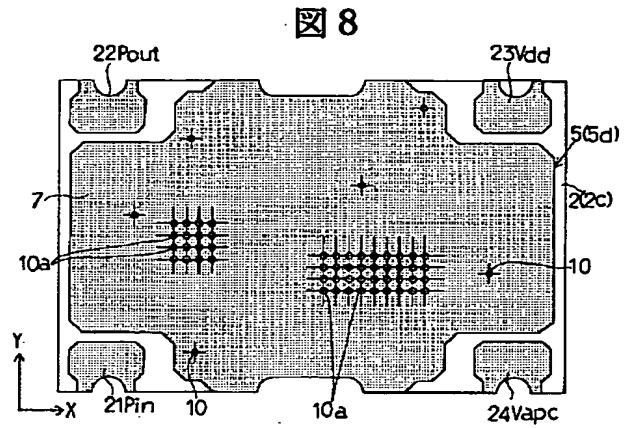
【図6】



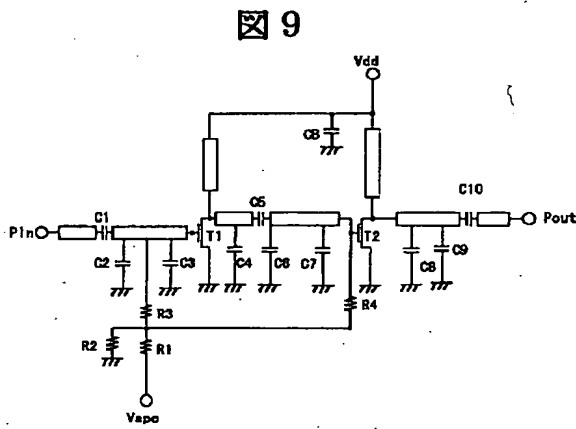
【図7】



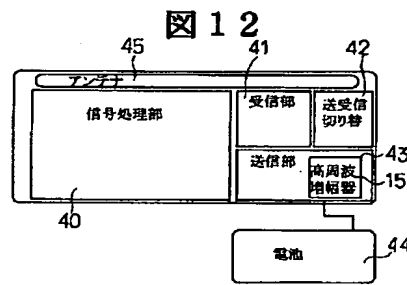
【図8】



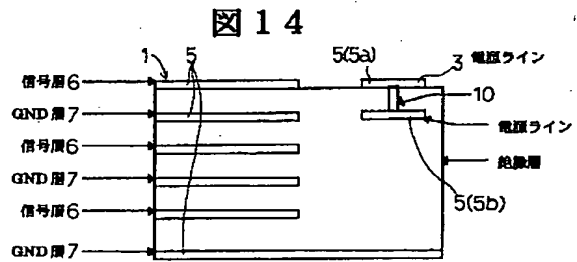
【図9】



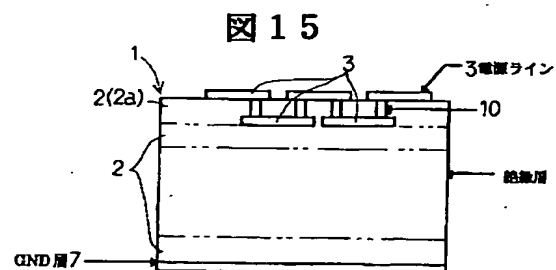
【図12】



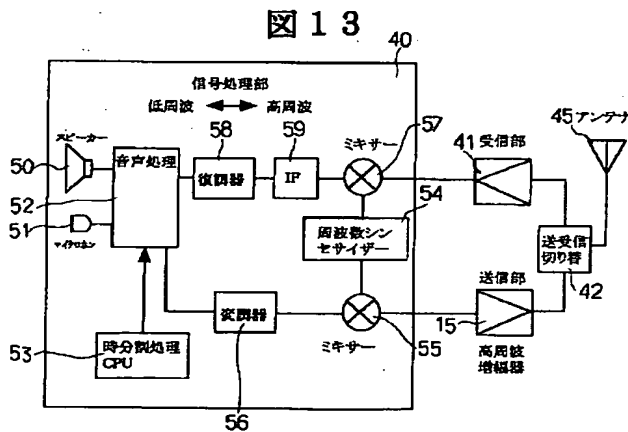
【図14】



【図15】

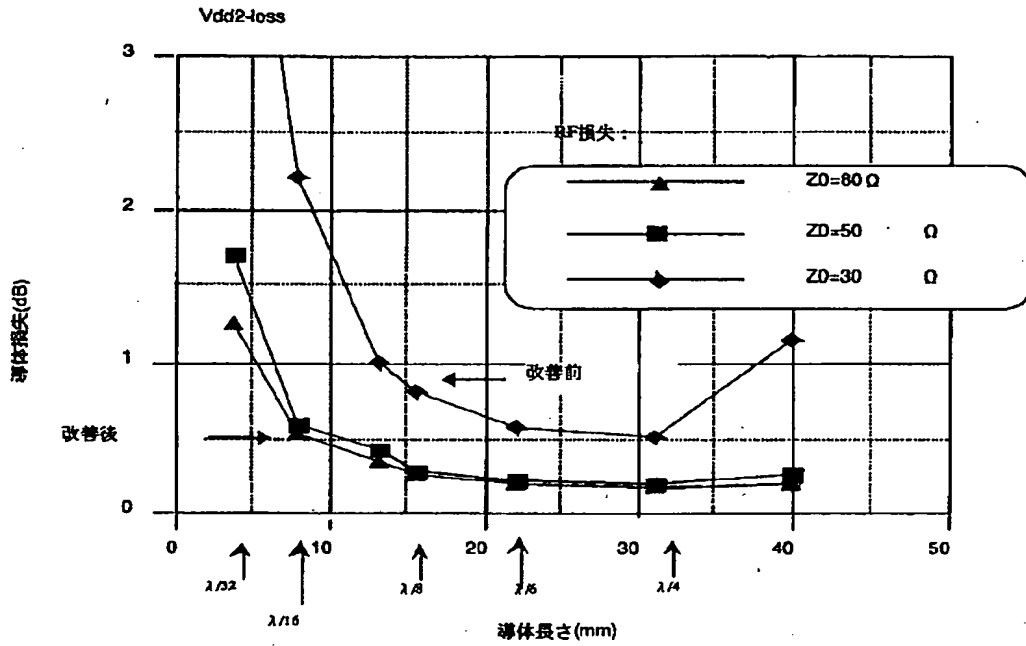


【図13】



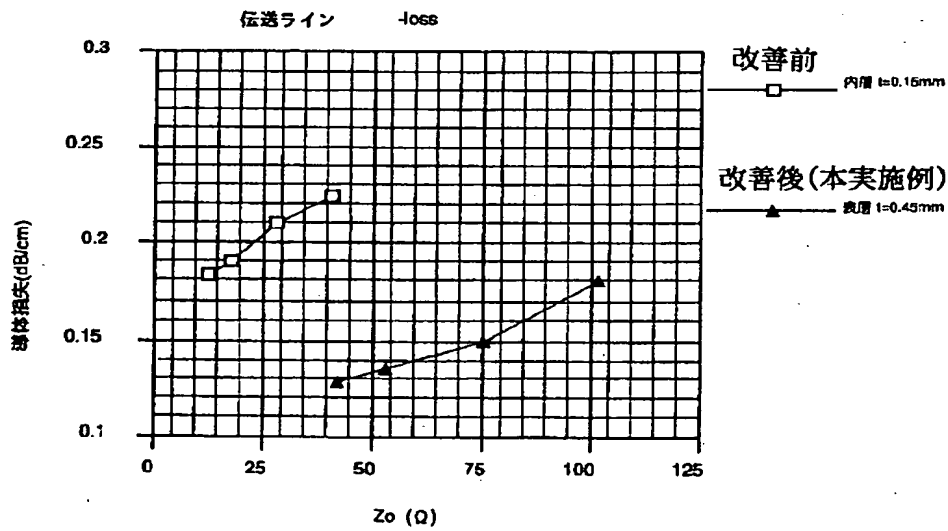
【図10】

図 10



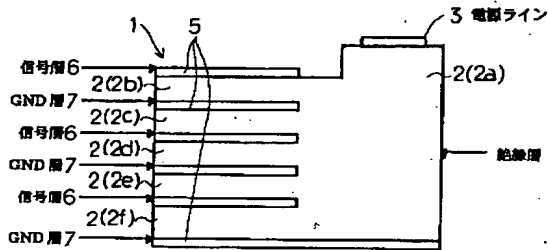
【図11】

図 11



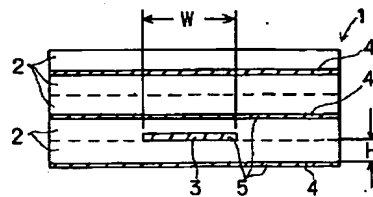
【図16】

図16



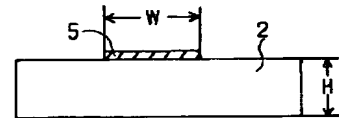
【図17】

図17



【図18】

図18



フロントページの続き

(72)発明者 赤嶺 均
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内

(72)発明者 近藤 静雄
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業本部内

(72)発明者 丸山 昌志
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 安達 徹朗
埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内

(72)発明者 森山 伸治
埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内

Fターム(参考) 5E346 AA11 AA12 AA15 AA43 AA60
BB02 BB03 BB04 BB07 BB11
BB15 BB16 FF45 HH06
5F036 AA01 BB01 BB21
5J092 AA04 AA41 CA36 FA16 HA09
HA25 HA29 KA48 KA66 KA68
MA22 QA02 QA04 SA14 TA01
TA02 VL08